

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017561

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 21/768
H01L 21/312

(21)Application number : 2001-200214

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.06.2001

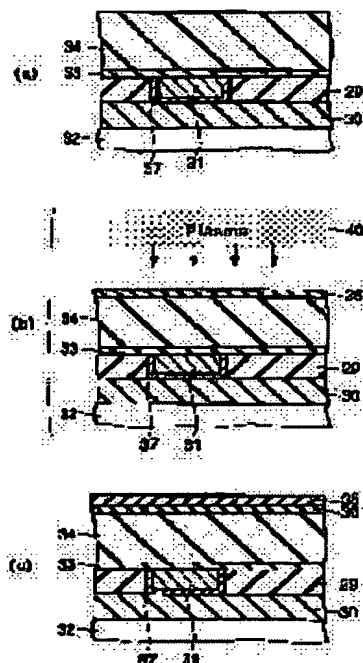
(72)Inventor : KOJIMA AKIHIRO
MIYAJIMA HIDESHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a reliable semiconductor device using a low dielectric constant film by damascene method.

SOLUTION: The method comprises the steps of: forming a first insulation film (34) which contains carbon and is comprised of low dielectric constant material on a semiconductor substrate (12); performing surface treatment to the first insulation film to reduce the concentration of carbon on a surface layer of the first insulation film and change the surface layer into a layer of low carbon concentration (36); forming a second insulation film (35) on the layer of low carbon concentration; forming trenches (41, 42) for embedding metal on the first and second insulation films; embedding a metal in the trench formed on the insulation film; and polishing the surface of the embedded metal to form a metal wiring (38).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/768

H 0 1 L 21/312

N 5 F 0 3 3

21/312

21/90

Q 5 F 0 5 8

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願2001-200214(P2001-200214)

(22) 出願日 平成13年6月29日(2001.6.29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小島 章弘

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 宮島 秀史

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

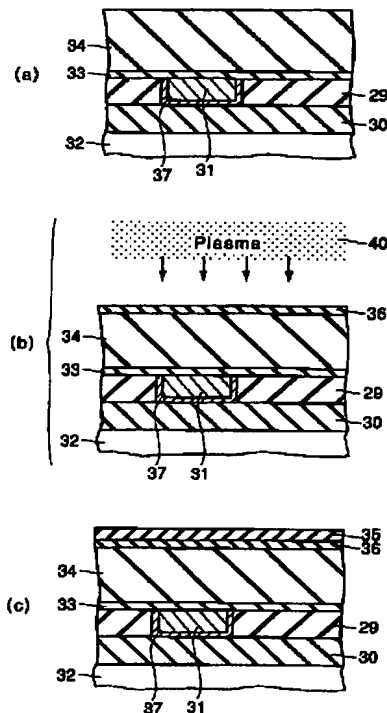
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 低誘電率絶縁膜を用いた信頼性の高い半導体装置をダマシン法により製造する方法を提供する。

【解決手段】 半導体基板(12)上に、炭素を含有し低誘電率材料からなる第1の絶縁膜(34)を形成する工程と、前記第1の絶縁膜に表面処理を施して前記第1の絶縁膜の表層の炭素濃度を低減し、表層を低炭素濃度層(36)に変化させる工程と、前記低炭素濃度層の上に、第2の絶縁膜(35)を形成する工程と、前記第1および第2の絶縁膜に金属埋め込み用の溝(41, 42)を形成する工程と、前記絶縁膜に形成された溝に金属を埋め込む工程と、前記埋め込まれた金属の表面を研磨して金属配線(38)を形成する工程とを具備することを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体基板上に、炭素を含有し低誘電率材料からなる第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜に表面処理を施して前記第 1 の絶縁膜の表層の炭素濃度を低減し、表層を低炭素濃度層に変化させる工程と、
前記低炭素濃度層の上に、第 2 の絶縁膜を形成する工程と、
前記第 1 および第 2 の絶縁膜に金属埋め込み用の溝を形成する工程と、
前記絶縁膜に形成された溝に金属を埋め込む工程と、
前記埋め込まれた金属の表面を研磨して金属配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 1 の絶縁膜は、シロキサン骨格を有する膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の絶縁膜はメチル基含有ポリシロキサンを主成分とすることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 2 の絶縁膜は、 SiO 、 SiOP 、 SiOF 、 SiON 、 SiC 、 SiOC 、および SiOCH からなる群から選択される少なくとも 1 種を含有することを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記表面処理はプラズマ処理であることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記プラズマ処理は、還元性を有するガスを用いたプラズマによる処理であることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記還元性を有するガスは、 H_2 、 N_2 、 CO 、 CO_2 、および NH_3 からなる群から選択される少なくとも 1 種であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 ダマシン配線構造を有する半導体装置であって、前記ダマシン配線構造における層間絶縁膜は、炭素を含有し低誘電率材料からなる第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された第 2 の絶縁膜とを具備し、前記第 1 の絶縁膜は、前記第 2 の絶縁膜との界面側の炭素濃度が低減され、低炭素濃度層が形成されていることを特徴とする半導体装置。

【請求項 9】 前記第 1 の絶縁膜における前記低炭素濃度層の厚さは、10 nm 以上かつ前記第 1 の絶縁膜全体の厚さの 10 % 以下であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記第 1 の絶縁膜における前記低炭素濃度層と前記第 2 の絶縁膜との界面での炭素濃度は、前記第 1 の絶縁膜中の炭素濃度の 5 分の 1 以下であることを特徴とする請求項 8 または 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法および半導体装置に係り、特に、低誘電率絶縁膜を層間膜材料として用いたダマシン配線構造の多層配線を有する半導体装置の製造方法および半導体装置に関する。

【0002】

【従来の技術】近年、ULSI の高密度化に伴って配線の伝播遅延が問題となりつつあり、この問題を解決する方法として、層間絶縁膜の低誘電率化、および配線材料の低抵抗化が知られている。層間絶縁膜の低誘電率化は、比誘電率が 3.0 以下の低誘電率の層間絶縁膜材料を用いることにより達成することができ、こうした材料としてはポリシロキサン膜が有効である。また、配線材料の低抵抗化を図るためには、銅配線が注目されている。

【0003】配線材料の低抵抗化には有利なものの銅配線は微細加工が非常に難しいため、銅配線を用いた多層配線構造を形成する場合には、一般にダマシン法が用いられている。ダマシン法においては、まず層間絶縁膜を形成して、所望される配線と同一の幅の溝を設け、その溝に配線材料を埋め込む。次いで、CMP 法により余分な金属を層間絶縁膜表面から取り除くことによって、多層配線構造が形成される。

【0004】層間絶縁膜として例えばメチルポリシロキサンなどのポリシロキサンを用いる場合には、ドライエッチング（プラズマ）耐性、CMP 耐性などを高めるために、図 1 (a) に示すように CVD 法によるシリコン酸化膜 16 をメチルポリシロキサン膜 15 上に積層して用いることがある。こうした積層構造からなる層間絶縁膜には、接続孔 13 および配線溝 17 を設けてバリアメタル 18 および配線材料となる金属を埋め込み、CMP 処理を施して図 1 (b) に示すように上層配線 19 が形成される。しかしながら、CMP 加工や熱処理などのプロセス中に、CVD シリコン酸化膜 16 のハガレ 20 が生じることがあり、半導体装置の信頼性の低下を引き起こしていた。

【0005】

【発明が解決しようとする課題】上述したように、層間絶縁膜の低誘電率化および配線材料の低抵抗化を図る半導体装置においては、層間絶縁膜に生じるハガレを防止することが求められている。

【0006】そこで本発明は、低誘電率絶縁膜を用いた信頼性の高い半導体装置をダマシン法により製造する方法を提供することを目的とする。

【0007】また本発明は、低誘電率絶縁膜を含むダマシン配線構造を有し、信頼性の高い半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明は、半導体基板上に、炭素を含有し低誘電率材料からなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜に表面処理を施して、前記第1の絶縁膜の表層の炭素濃度を低減し、表層を低炭素濃度層に変化させる工程と、前記低炭素濃度層の上に、第2の絶縁膜を形成する工程と、前記第1および第2の絶縁膜に金属埋め込み用の溝を形成する工程と、前記絶縁膜に形成された溝に金属を埋め込む工程と、前記埋め込まれた金属の表面を研磨して金属配線を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0009】また本発明は、ダマシン配線構造を有する半導体装置であって、前記ダマシン配線構造における層間絶縁膜は、炭素を含有し低誘電率材料からなる第1の絶縁膜と、前記第1の絶縁膜上に形成された第2の絶縁膜とを具備し、前記第1の絶縁膜は、前記第2の絶縁膜との界面側の炭素濃度が低減され、低炭素濃度層が形成されていることを特徴とする半導体装置を提供する。

【0010】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。

【0011】従来のメチルポリシロキサン膜とCVDシリコン酸化膜との界面におけるハガレについて鋭意検討した結果、本発明者らは、CVDシリコン酸化膜のハガレは、CVDシリコン酸化膜とメチルポリシロキサン膜との密着性の低さが原因となっていること、さらには、それはメチルポリシロキサン膜中に存在するメチル基($-CH_3$)の炭素原子に起因することを見出した。

【0012】ここで、図1(a)の状態におけるメチルポリシロキサン膜15とCVDシリコン酸化膜16との界面のデプスプロファイル(SIMS分析)を図2に示す。図2に示されるように、メチルポリシロキサン膜とCVDシリコン酸化膜との界面においては、炭素濃度が急峻に変化している。本発明者らの研究によれば、CVDシリコン酸化膜の表面は親水性を有しているものの、膜中に含有されている炭素濃度が増加するにしたがって疎水性に変化する。すなわち、メチルポリシロキサン膜とCVDシリコン酸化膜との界面における炭素濃度の急峻な変化が、CVDシリコン酸化膜のハガレを引き起こしていた。

【0013】本発明者らは、メチルポリシロキサン膜等のメチル基含有ポリシロキサン膜とCVDシリコン酸化膜との界面において炭素濃度が急激に変化するのを避けるよう、炭素濃度プロファイルを制御するのが有効であるという知見を得た。こうした知見に基づいて、CVDシリコン酸化膜等の第2の絶縁膜を堆積する前に、メチル基含有ポリシロキサン膜等の第1の絶縁膜の表層の炭素濃度を低減させて、その表層を低炭素濃度層に変化させるという本発明をなすに至った。

【0014】図3および図4には、炭素を含有し低誘電

率の第1の絶縁膜としてのメチル基含有ポリシロキサン膜と、第2の絶縁膜としてのCVDシリコン酸化膜との積層構造を有する層間絶縁膜を本発明の方法により形成し、この層間絶縁膜に配線およびビアプラグを埋め込んで多層配線構造を作製する工程を示す。

【0015】まず、図3(a)に示すように、Cuからなる下層配線31が絶縁膜30を介して予め形成された半導体基板32上に、シリコン窒化膜33を形成した。シリコン窒化膜33は、配線材料のCuが積層膜中に拡散するのを防止し、プラズマCVD法により形成される。

【0016】シリコン窒化膜33上には、炭素を含有し低誘電率材料からなる第1の絶縁膜としてのメチル基含有ポリシロキサン膜34を以下のような手法により成膜した。まず、室温に制御されたステージを速度2500rpmで回転しながらメチルシロキサンの溶液を塗布した後、80℃の大気中で1分間加熱した。さらに、200℃の大気雰囲気中で1分間加熱して、PGPE(プロピレン・グリコール・モノプロピル・エーテル)などの溶媒を揮発させた。次いで、400℃のN₂雰囲気中で30分間の脱水縮合を行なって、膜厚500nm程度のメチル基含有ポリシロキサン膜34を得た。

【0017】本実施例においては、このメチル基含有ポリシロキサン膜34上に第2の絶縁膜としてのシリコン酸化膜をCVD法により形成する前に、メチル基含有ポリシロキサン膜に表面処理を施して、メチル基含有ポリシロキサン膜34の表層の炭素濃度を低減する。ここでは、還元性のあるガスを用いて図3(b)に示されるようにプラズマ処理を行なって、低炭素濃度層36を形成した。

【0018】プラズマ処理に当たっては、まず、メチル基含有ポリシロキサン膜34が成膜された半導体基板32を、真空中に排気された容器内に導入し、13.56MHzの高周波電力を印加可能な試料台に設置した。その後、試料台に設けられた冷却機構により半導体基板を25℃~20℃に保持した。次いで、この容器にN₂で3%に希釈されたH₂ガスを150sccm導入しながら、容器内の圧力を150mTorrに保ちつつ、高周波電力を550W印加し、プラズマによってメチル基含有ポリシロキサン膜の表面処理を60秒間行なった。

【0019】このときのイオンエネルギー(Vdc)は、約120Vであった。

【0020】メチル基含有ポリシロキサン膜34の表面処理後、図3(c)に示すように第2の絶縁膜としてのCVDシリコン酸化膜35を堆積し、界面の状態を観察した。メチル基含有ポリシロキサン膜とCVDシリコン酸化膜との界面のデプスプロファイル(SIMS分析)を図5に示す。図5から明らかなように、炭素を含有し低誘電率の第1の絶縁膜であるメチル基含有ポリシロキサン膜においては、第2の絶縁膜であるCVDシリコン

酸化膜側の炭素濃度が低減して、低炭素濃度層が形成されている。この低炭素濃度層の厚さは、約10nm程度であった。また、低炭素濃度層とCVDシリコン酸化膜との界面における炭素濃度は、メチル基含有ポリシロキサン膜中における炭素濃度の約5分の1程度であった。低炭素濃度層の効果を充分に発揮させて、第2の絶縁膜であるCVDシリコン酸化膜のハガレを防止するためには、低炭素濃度層の表面における炭素濃度は、第1の絶縁膜中の炭素濃度が低減されていない部分の炭素濃度の5分の1以下であることが望まれる。

【0021】次いで、メチル基含有ポリシロキサン膜34、低炭素濃度層36、およびCVDシリコン酸化膜35からなる絶縁膜中に、図4(d)に示すように接続孔(ビアホール)41および配線溝42を形成する。接続孔41の形成に当たっては、まず、CVDシリコン酸化膜35上にレジストパターン(図示せず)を形成する。このレジストパターンをマスクとし $C_4F_8/CO/Ar/O_2$ 混合ガス系を用いて、リアクティブイオンエッチング(RIE)法により、絶縁膜に接続孔41を形成する。この際のシリコン窒化膜のシリコン酸化膜に対するエッチング速度比は、1.0~1.5である。

【0022】マスクとして用いられたレジストパターンは、酸素流量150sccm、放電圧力0.15Torr、基板温度25℃に制御されたアッシング装置において酸素プラズマ処理することにより剥離する。

【0023】上層配線溝42もまた、接続孔41の場合と同様にレジストパターン(図示せず)をマスクとして用いてRIE法を用いて形成した。レジストパターンを剥離後、配線31上のシリコン窒化膜33をRIE法により加工することによって、デュアルダマシンに対応する加工を行なう。

【0024】形成された接続孔41および上層配線溝42内には、配線材料であるCuが層間絶縁膜中へ拡散するのを抑制するためのバリアメタル37として、 TaN/Ta をスパッタリング法により形成し、Cuからなる埋め込み配線38をめっき法により形成した。さらに、CMP法により余分な金属部分を取り除くことによって、図4(e)に示すような多層配線構造が得られた。

【0025】本実施例においては、第1の絶縁膜としてのメチル基含有ポリシロキサン膜34とCVDシリコン酸化膜35との間には、メチル基含有ポリシロキサン膜34の表層の炭素濃度を低減してなる低炭素濃度層36が形成されている。メチル基含有ポリシロキサン膜34とCVDシリコン酸化膜35との間の炭素濃度の変化は、この低炭素濃度層の存在により緩和されるので、従来のように急峻に変化することは避けられ、CVDシリコン酸化膜のハガレが生じることはない。したがって、半導体装置の信頼性が低下するのを防止することができる。

【0026】上述した実施例においては、還元性のガス

として N_2 で3%に希釈された H_2 ガスを用いてプラズマ処理を施したが、還元性ガスはこれに限定されるものではない。 H_2 、 N_2 、 CO 、 CO_2 、および NH_3 からなる群から選択される少なくとも1種の還元性ガスを用いてプラズマ処理を施すことによって、第1の絶縁膜の表層における炭素濃度を低減して、低炭素濃度層を形成することができる。いずれの還元性ガスを用いて低炭素濃度層を形成した場合も、引き続き行なわれるデュアルダマシンプロセスにおいて、メチル基含有ポリシロキサン膜とCVDシリコン酸化膜との間にハガレが生じることはなく、同様の効果が得られる。

【0027】ただし、低炭素濃度層としての効果を充分に発揮させるためには、その厚さは10nm以上であることが望まれる。一方で、低誘電率というメチル基含有ポリシロキサン膜の効果を損なわないためには、低炭素濃度層の厚さは、第1の絶縁膜であるメチル基含有ポリシロキサン膜全体に対して10%以下にとどめることが好ましく、具体的には100nm以下であることが好ましい。

【0028】なお、酸化性のガス(例えば O_2 ガス)を用いて第1の絶縁膜であるメチル基含有ポリシロキサン膜にプラズマ処理を施した場合には、図6のグラフに示されるように、低炭素濃度層の厚さを制限することが困難となる。還元性のガスを用いたプラズマ処理によって、効果的な低炭素濃度層が形成可能であることは、本発明者らによって始めて見出されたものである。

【0029】本発明は、その趣旨を逸脱しない範囲において種々の変更が可能である。

【0030】炭素を含有し低誘電率材料からなる第1の絶縁膜としては、誘電率の低さの点からシロキサン骨格を有する膜が好ましく、メチル基を含有するポリシロキサンを主成分とする膜が特に好ましい。メチル基含有ポリシロキサンを主成分とする絶縁膜は、メチル基の存在により分子構造内に間隙を生じるため、通常、多孔質で形成される。こうした第1の絶縁膜としては、CVD法により形成されたものであってもよく、例えば、アノードカップリング平行平板型CVD装置を用い、以下の条件で成膜することによって第1の絶縁膜としてのメチル基含有ポリシロキサン膜を形成することもできる。CVD法により形成されたこのような膜は、カーボン含有 SiO_2 膜と称される。

【0031】圧力: 4.0Torr

RF電力: 600W

基板温度: 350℃

酸素: 100sccm

トリメチルシラン: 600sccm

成膜速度: 500nm/min

さらには、炭素を含有し低誘電率の第1の絶縁膜としては、シロキサン骨格を含まないものを用いることもでき、例えば比誘電率3.0以下の高分子膜やアモルファ

スカーボン膜（F ドープ）などが挙げられる。こうした材料からなる第1の絶縁膜も、前述と同様の表面処理を施すことによって同様の効果が得られる。

【0032】また、第1の絶縁膜の表層の炭素濃度を低減して、低炭素濃度層を形成するに当たっては、酸化性溶液でウェット処理を行なってもよい。具体的には、 H_2O_2 溶液、 $(H_2O_2 + H_2SO_4)$ 溶液を用いて、メチル基含有ポリシロキサン膜等の第1の絶縁膜の表面を処理することによって炭素濃度を低減することができる。ただし、低炭素濃度層の膜厚を100nm以下程度に抑えるためには、すでに説明したような還元性ガスを用いたプラズマ処理を行なうことが望まれる。

【0033】表面処理を施すことにより得られた低炭素濃度層の上に形成される第2の絶縁膜は、CVD法または塗布法により形成された SiO 、 $SiOP$ 、 $SiOF$ 、 $SiON$ 、 SiC 、 $SiOC$ 、および $SiOCH$ からなる群から選択される少なくとも1種を含有する絶縁膜、例えば SiO_2 膜とすることができる。特に、低誘電率絶縁膜を用いることが好ましい。

【0034】本発明において第1および第2の絶縁膜の形成に当たっては、塗布法およびCVD法を任意に組み合わせる可以采用することができる。すでに説明したように、第1の絶縁膜の表層の炭素濃度を低減して低炭素濃度層を形成するための表面処理としては、低炭素濃度層の厚さの点から還元性ガスを用いたプラズマ処理が好ましい。したがって、第2の絶縁膜をCVD法により形成する場合には、同一の装置内において、第1の絶縁膜の表面処理と、第2の絶縁膜の形成とを行なうことができ、プロセス的にも有利である。

【0035】

【発明の効果】以上詳述したように、本発明によれば、低誘電率絶縁膜を用いた信頼性の高い半導体装置をダマシン法により製造する方法が提供される。また本発明によれば、低誘電率絶縁膜を含むダマシン配線構造を有し、信頼性の高い半導体装置が提供される。

【0036】本発明は、多層配線構造、特にダマシン配線構造を有する半導体装置の製造に極めて有効に用いられ、その工業的価値は絶大である。

【図面の簡単な説明】

【図1】従来の半導体装置の製造方法を表わす工程断面

図。

【図2】従来法により製造されたメチルポリシロキサン膜とCVDシリコン酸化膜との界面における炭素濃度プロファイル。

【図3】本発明にかかる半導体装置の製造方法の一例を表わす工程断面図。

【図4】本発明にかかる半導体装置の製造方法の一例を表わす工程断面図。

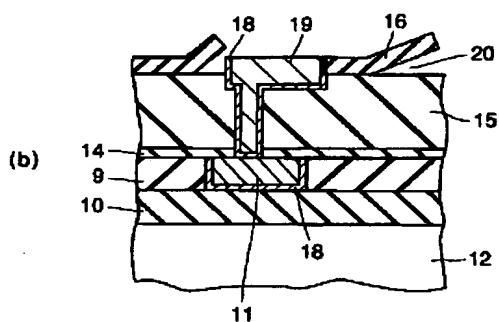
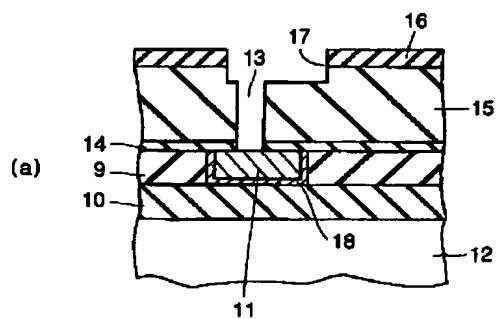
【図5】本発明の方法により製造されたメチル基含有ポリシロキサン膜とCVDシリコン酸化膜との界面における炭素濃度プロファイル。

【図6】メチル基含有ポリシロキサン膜とCVDシリコン酸化膜との界面における炭素濃度プロファイル。

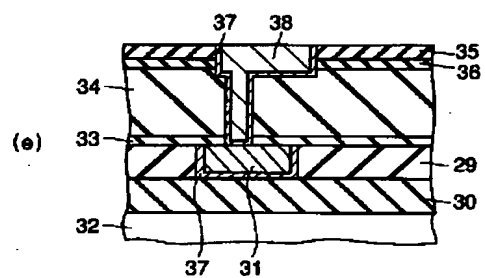
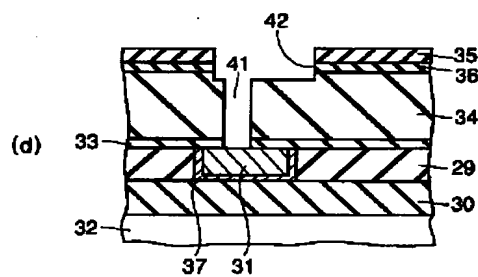
【符号の説明】

- 9, 10…絶縁膜
- 11…下層配線
- 12…半導体基板
- 13…接続孔（ビアホール）
- 14…シリコン窒化膜
- 15…メチルポリシロキサン膜
- 16…CVDシリコン酸化膜
- 17…配線溝
- 18…バリアメタル
- 19…上層配線
- 20…メチルポリシロキサン膜とシリコン酸化膜との界面のハガレ
- 29, 30…絶縁膜
- 31…下層配線
- 32…半導体基板
- 33…シリコン窒化膜
- 34…メチル基含有ポリシロキサン膜
- 35…CVDシリコン酸化膜
- 36…メチル基含有ポリシロキサンとCVDシリコン酸化膜との界面層
- 37…バリアメタル
- 38…上層配線
- 40…プラズマ
- 41…接続孔（ビアホール）
- 42…配線溝

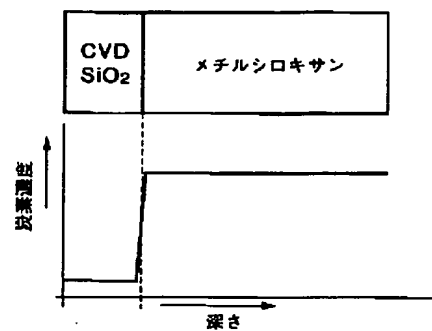
【図 1】



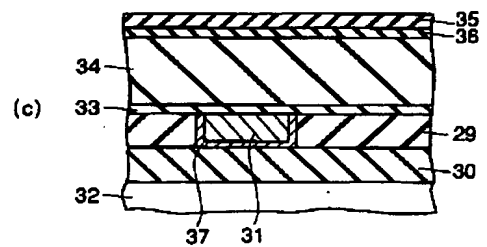
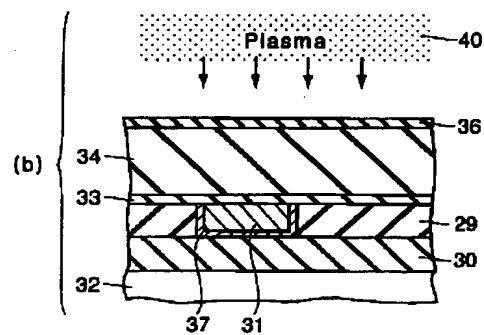
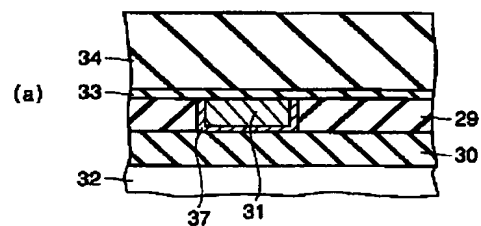
【図 4】



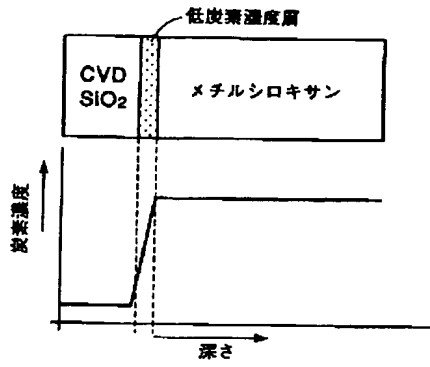
【図 2】



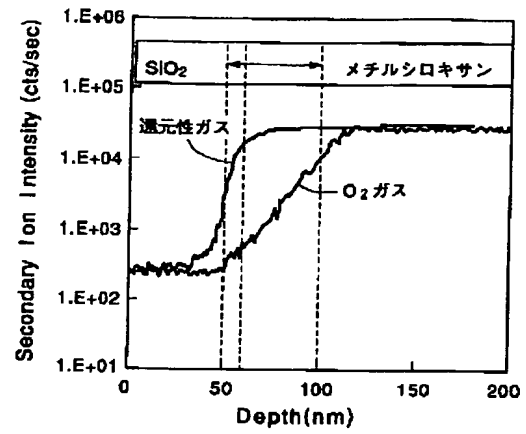
【図 3】



【図5】



【図6】



フロントページの続き

F ターム(参考) 5F033 HH11 HH21 HH32 JJ01 JJ11
 JJ21 JJ32 KK11 MM02 MM12
 MM13 NN06 NN07 PP26 QQ09
 QQ10 QQ13 QQ35 QQ37 QQ48
 RR01 RR04 RR06 RR08 RR11
 RR20 RR21 SS11 SS22 TT04
 WW02 WW04 XX12 XX24
 5F058 AA08 AD05 AD10 AF04 AG01
 AG07